



特許願 (12)

(2,000円)

昭和 47.1月30日

特許庁長官 三宅幸夫 殿

1. 発明の名称

半導体基盤の製造方法

2. 発明者

神奈川県川崎市幸区小向東芝町1番地
東京芝浦電気株式会社総合研究所内
平林亮吉

3. 特許出願人

住所: 神奈川県川崎市幸区緑川町72番地
名称 (307) 東京芝浦電気株式会社
代表者: 三光義夫
玉置敏三

4. 代理人

住所: 東京都港区芝四久保銀川町2番地 第17森ビル
平 105 電話 03 (502) 8181 (大代表)
氏名 (6347) 介選士 鈴江 武彦
(ほか4名)

⑯ 日本国特許庁

公開特許公報

⑯ 特開昭 49-78483

⑯ 公開日 昭49.(1974)7.29

⑯ 特願昭 47-120076

⑯ 出願日 昭47.(1972)11.30

審査請求 未請求 (全3頁)

府内整理番号 ⑯ 日本分類

7113 57	9950C23
6426 57	9950E3
6513 57	9950H0

明細書

1. 発明の名称

半導体基盤の製造方法

2. 特許請求の範囲

半導体基板にヘロゲンイオンを含んだ酸化膜を形成するに際し、前記ヘロゲンイオンをイオン注入により形成することを特徴とする半導体基盤の製造方法。

3. 発明の詳細な説明

この発明は半導体基盤の製造方法に係り、特に基板表面に酸化膜を形成する工程の改良に関するもの。

MOSIC等では過電圧により安定化を図るため、ゲート酸化膜として、界面電荷密度の小さい、ピンホールの少ない良質の酸化膜が望まれている。最近このような良質の酸化膜を得る方法として、乾燥酸素中に塩素または塩素ガスを微量導入して、基板表面を酸化する方法が知られている。しかしながら、この他の方法は酸化工程中つまり2~8時間、酸化炉内に有毒な塩

素ガスまたは塩素を流すため、これらのガスの漏れを防止する安全装置が必要であるが、現在のところこれといつた装置は開発されておらず、非常に危険である。又、塩素または塩素ガスの流量制御にも問題がある。

この発明は上記点に鑑み、酸化炉に塩素、塩素ガスのような有毒ガスを流すことなく、流しながら形成したもの以上に良質な酸化膜を形成できる方法を見い出し、この方法を用いることによつて動作特性の優れた各種半導体基盤を製造する方法を提供することを目的とする。

ところで、塩素または塩素ガスを流しながら酸化をすると良質な酸化膜が得られるのは、形成された酸化膜中に塩素が入り込み、これが半導体基板表面に存在するアルカリイオン等をトランプして界面電荷密度を減少させることに起因していると考えられる。

そこで、本発明者等は半導体基板に塩素などのヘロゲンをイオン注入で受けた酸化膜を形成することによつて、半導体基板表面に存在する

アルカリイオンをトランプして界面電荷密度を減少させることができになるのではないかと考え、実験してみた。

以下その実験を説明する。例えば、シリコンウェーハ表面に酸化膜を形成する際の熱処理として、塩素イオンをイオン注入した場合、その注入量と界面電荷密度およびピンホール密度との関係は、イオン注入量の増加に伴なつて減少し、ある値を越えると再び増加する。したがつて、シリコン基板表面に塩素イオンをある範囲特に $10^{10} \sim 10^{11}$ 個/ cm^2 程度打ち込んでおくと、ピンホールが少なく且つ界面電荷密度の小さい良質の酸化膜を形成できる。そこで、塩素イオンをイオン注入しない場合と、イオン注入した場合の界面電荷密度およびピンホールの状態を図に示す。

なお、ピンホールが少なく且つ界面電荷密度の小さい良質の酸化膜を形成する際、上述した他に例えば半導体基板を熱酸化して酸化膜を形成した後塩素イオンをイオン注入して塩素イオ

ンを加速電圧 50 KV で $10^{10} \sim 10^{11}$ 個/ cm^2 程度打ち込んだ後、その表面を電離雰囲気中 1100 度で 30 分間熱処理し、厚さ 1300 Å の酸化膜を形成した。しかる後、その酸化膜上に多結晶シリコン膜を形成し、これらを所定の形状にエンジニアリングしてゲートを形成すると共に、これをマスクとしてソース、ドレインを形成し、さらにゲート、ソース、ドレインの取り出し電極を抜け、MOS ドラジオトランジスタを完成させた。

そして、このように製作した MOS ドラジオトランジスタの漏電流を測定したところ、それは -0.5 V と非常に近く、しかも確めて安定していた。

なお、上記実験例では MOS ドラジオトランジスタを製造する場合について説明したが、この発明はこれに限定されるものでなく、MOSIC、MOS メモリ等各種半導体装置を製造する場合に適用できる。また、打込むイオンとしても塩素イオンに限られず、フッ素イオン、臭素イオン、ヨウ素イオン等ヘロゲンイオン全てを適用できる。さらにまた、半導体基板としてはシリコンの他リ

特開昭49-78483(2)
ンを酸化膜に含有しても良く、また半導体基板に気相成長して酸化膜を形成して塩素イオンをイオン注入して酸化膜に塩素イオンを含有しても良い。即ち半導体基板に形成される酸化膜にイオン注入によつて塩素イオンが含有されていれば良い。

また注入の際はイオンの加速電圧は半導体基板表面に酸化膜を形成することによつて制限できる。

さらに上述の如く半導体基板と塩素イオンをイオン注入してこの基板を酸素雰囲気中で熱処理することにより、前記イオン注入した部分に酸化膜を形成するので、イオン注入で生ずる格子欠陥は酸化膜を形成する際の熱処理により、自動的にアーナーされる。

この発明は上記の実験事実に基づいて構成されたもので、以下その実施例である MOS ドラジオトランジスタの製造方法について説明する。

比抵抗 5 Ω の 2 層シリコン基板の {1, 0, 0} 面にトランジスタ領域を抜け、その表面に塩素

イオンを加速電圧 50 KV で $10^{10} \sim 10^{11}$ 個/ cm^2 程度打ち込んだ後、その表面を電離雰囲気中 1100 度で 30 分間熱処理し、厚さ 1300 Å の酸化膜を形成した。しかる後、その酸化膜上に多結晶シリコン膜を形成し、これらを所定の形状にエンジニアリングしてゲートを形成すると共に、これをマスクとしてソース、ドレインを形成し、さらにゲート、ソース、ドレインの取り出し電極を抜け、MOS ドラジオトランジスタを完成させた。

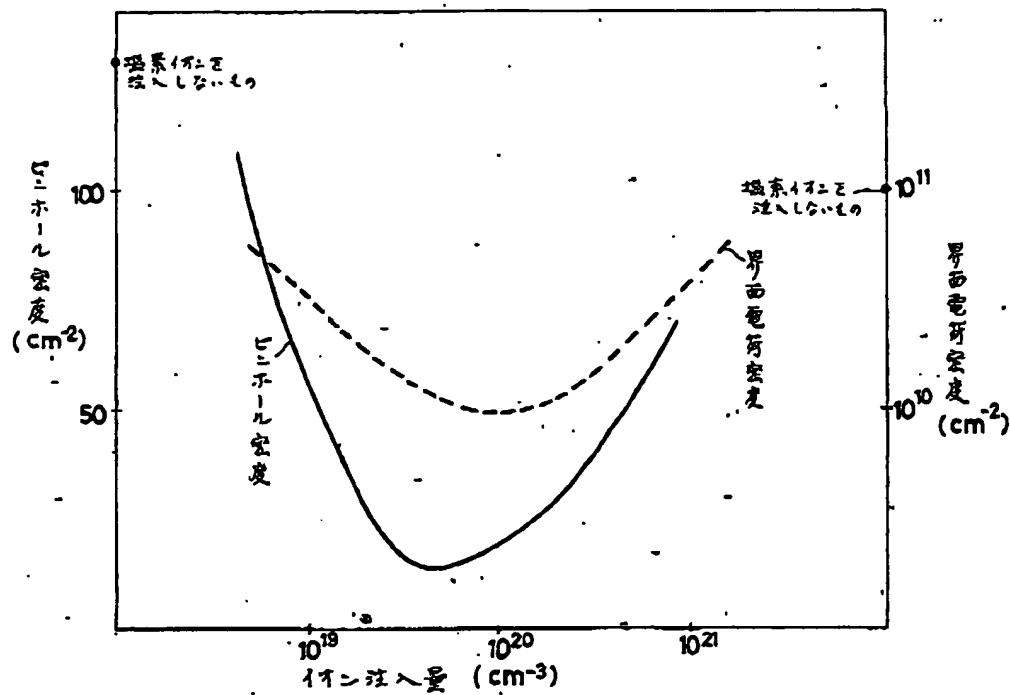
以上述べた如くこの発明によれば、半導体基板にイオン注入によつてヘロゲンイオンを含有する酸化膜を形成し、漏電流が安定で低い半導体装置を得ることができる製造方法を提供できる。

4. 図面の簡単な説明

图はこの発明の原理を説明するための、イオン注入量対界面電荷密度およびピンホール密度曲線を示す图である。

出　　人　東京芝浦電気株式会社
代理人弁護士　　辻　江　武　志

特開 昭49- 78483 (3)



5. 添付書類の目録

(1) 委任状	同時提出の特許第(1)に 1通添付の委任状を採用する。
(2) 著作権	1通
(3) 図面	1通
(4) 既存文献	1通

6. 前記以外の発明者、特許出願人または代理人

代理人

住所 東京都地区芝浦久保坂川町2番地 第17森ビル

氏名 (5743) 弁理士 三木 武雄

住所 同上

氏名 (6894) 弁理士 小宮 幸一

住所 同上

氏名 (6881) 弁理士 坪井 淳

住所 名古屋市中区栄四丁目6番15号

氏名 (7113) 弁理士 佐藤 強

Family list

3 family member for:

JP49098964

Derived from 1 application.

1 No English title available

Publication Info: **JP1165856C C** - 1983-09-08

JP49098964 A - 1974-09-19

JP56015137B B - 1981-04-08

Data supplied from the **esp@cenet** database - Worldwide

Patent Application (12)

S.47. November 30

(2,000 yen)

Commissioner of Patents Yukio Miyake Esq.

1. Title of the Invention

Method for Manufacturing Semiconductor Device

2. Inventor

1, komukai-toshiba-cho, sawai-ku, kawasaki-shi, Kanagawa

c/o Tokyo Shibaura Electric Co., Ltd. Research Institute

Hirabayashi Kanji

3. Patent Applicant

Address 72-banchi, horikawa-cho, sawai-ku, kawasaki-shi, Kanagawa

Name (307) Tokyo Shibaura Electric Co., Ltd.

Representative Keizo Tamaki

4. Agent

Address 17-th Mori Building, 2, shiba, nishikubo, sakuragawa-cho, minato-ku, Tokyo 105

Telephone 03(502)3181 (rep)

Name (5847) Patent Attorney Takehiko Suzue

(and 4 others)

(19) Japanese Patent Office

Publication of Laid-Open Patent Application

(11) Japanese Patent Laid-Open Publication No. S49-78483

(43) Date of Publication: S. 49(1974) 7.29

(21) Japanese Patent Application No. S47-120076

(22) Date of Filing: S. 47(1972) 11.30

Request for Examination: Not requested (Total 3 pages)

JPO file number

(52) Japan classification

7113 57

99(5)C23

6426 57

99(5)E3

6513 57

99(5)H0

Specification

1. Title of the Invention

Method for Manufacturing Semiconductor Device

2. Scope of claims

A method for manufacturing a semiconductor device, characterized by forming a halogen ion by ion implantation in forming an oxide film including the halogen ion over a semiconductor substrate.

3. Detailed Description of the Invention

The present invention relates to a method for manufacturing a semiconductor device, specifically, relates to improving a process of forming an oxide film on a substrate surface.

In a MOSIC and the like, a high quality oxide film which has a small interface charge density and has few pinholes is desired as a gate oxide film in order to attain further stabilization of a threshold voltage. Nowadays, as a method for obtaining such a high quality oxide film, a method by which hydrochloric acid or chlorine gas is mixed with several % into dry oxygen to oxidize a substrate surface is known. However, this sort of the method makes poisonous chlorine gas or hydrochloric acid flow in an oxidation furnace during the oxidizing process, that is, for 2 to 3 hours. Although a safety device is required to prevent leakage of the gas, a significant device has not been developed at present. The method is very dangerous, and further, there is a problem of flow quantity control of hydrochloric acid or chlorine gas.

In view of the foregoing problems, it is an object of the present invention to find out a method by which an oxide film can be formed without flowing a poisonous gas such as hydrochloric acid or chlorine gas, and by which the oxide film can have higher quality than an oxide film formed with flowing the poisonous gas, and to provide a method for manufacturing various kinds of semiconductor devices excellent in operating characteristic by using this method.

Incidentally, a high quality oxide film can be obtained by oxidizing with flowing hydrochloric acid or chlorine gas. This is caused that chlorine getting in the oxide film which is formed traps alkali ion and the like existing on a semiconductor substrate surface and reduces interface charge density.

Consequently, an inventor of the present invention and the like considered that it becomes possible to trap an alkali ion existing on a semiconductor substrate surface to reduce an interface charge density by forming an oxide film provided with halogen such as chlorine by ion implantation on the semiconductor substrate, and performed an experiment.

English Translation of JPS49-78483

The experiment will be described below. For example, in the case of implanting chlorine ions as a pretreatment for forming an oxide film on a silicon wafer surface, the relation between an amount of implanted ions, and an interface charge density and a pinhole density shows that they decrease with an increase of the amount of implanted ions, and shows that they increase again when the amount of implanted ions exceeds a certain value. Therefore, if chlorine ions in a certain range, specifically approximately 10^{19} to 10^{20} ions/cm³ are implanted in a silicon substrate surface, a high quality oxide film which has few pinholes and small interface charge density can be formed. Then, a condition of an interface charge density and pinholes in the case in which chlorine ions are not implanted and the case in which chlorine ions are implanted are shown in a figure.

It is to be noted that, in the case of forming a high quality oxide film which has few pinholes and a small interface charge density, in addition to the method described above, for example, a chlorine ion may be included in an oxide film by ion implanting chlorine ions after forming the oxide film by carrying out thermal oxidation to a semiconductor substrate, and also, a chlorine ion may be included in an oxide film by ion implanting chlorine ions after forming the oxide film by carrying out vapor phase deposition to the semiconductor substrate. That is, a chlorine ion may be included in an oxide film formed over the semiconductor substrate by ion implantation.

Further, the depth of implantation can be controlled by an accelerating voltage of an ion or forming an insulating film over the semiconductor substrate surface.

In addition, as described above, by ion implantation of the semiconductor substrate and a chlorine ion and heat treatment on the substrate in an oxygen atmosphere, an oxide film is formed at the portion in which the ion is implanted. Therefore, a lattice defect generating by the ion implantation is automatically annealed by the heat treatment as forming the oxide film.

The present invention is constituted based on a fact of the above experiment. A method for manufacturing a MOS transistor as an embodiment thereof will be described below.

A transistor region is provided for the surface {1.0.0} in an n-type silicon substrate of specific resistance of $5 \Omega \text{ cm}$, and chlorine ions are implanted at approximately 10^{19} to 10^{20} ions/cm³ on the surface thereof by accelerating voltage of 50 KeV. Subsequently, the surface thereof is oxidized for 30 minutes at 1100°C in dry oxygen, and an oxide film having a film thickness of 1200 Å is formed. Then, a polycrystalline silicon film is formed over the oxide film. While a gate is formed by etching the oxide film and the polycrystalline silicon film into a predetermined shape, a source and a drain are formed by using the gate as a mask. In addition, take out electrodes of the gate, the source and the

English Translation of JPS49-78483

drain are provided, and then, a MOS transistor is completed.

Further, when a threshold voltage of the MOS transistor manufactured as the above is measured, the threshold voltage is very low with -0.5 V, and also extremely stable.

It is to be noted that, although the above embodiment describes the case of manufacturing the MOS transistor, the present invention is not limited to this, and can be applied to the case of manufacturing various kinds of semiconductor devices such as a MOSIC and a MOS memory. Further, an implantation ion is not limited to a chlorine ion. All kinds of halogen ions such as a fluorine ion, a bromide ion, and an iodine ion can be applied to an implantation ion. Furthermore, a compound semiconductor such as gallium phosphide, in addition to silicon, can be applied to a semiconductor substrate. Further, in the case of forming an oxide film including a halogen ion as described above, the oxide film including the halogen ion may be formed by ion implantation, after the formation of an oxide film by thermal oxidation or vapor phase deposition before the ion implantation.

As mentioned above, according to the present invention, it is possible to provide a manufacturing method capable of obtaining a semiconductor device, having a stable and low threshold voltage by forming an oxide film including a halogen ion by ion implantation over a semiconductor substrate.

4. Brief Description of the Drawing

A figure shows curves of interface charge density and pinhole density to an amount of implanted ions for describing a principle of the present invention.

Applicant Tokyo Shibaura Electric Co., Ltd.

Agent Patent Attorney Takehiko Suzue

5. List of attached papers

(1) Power of attorney 1

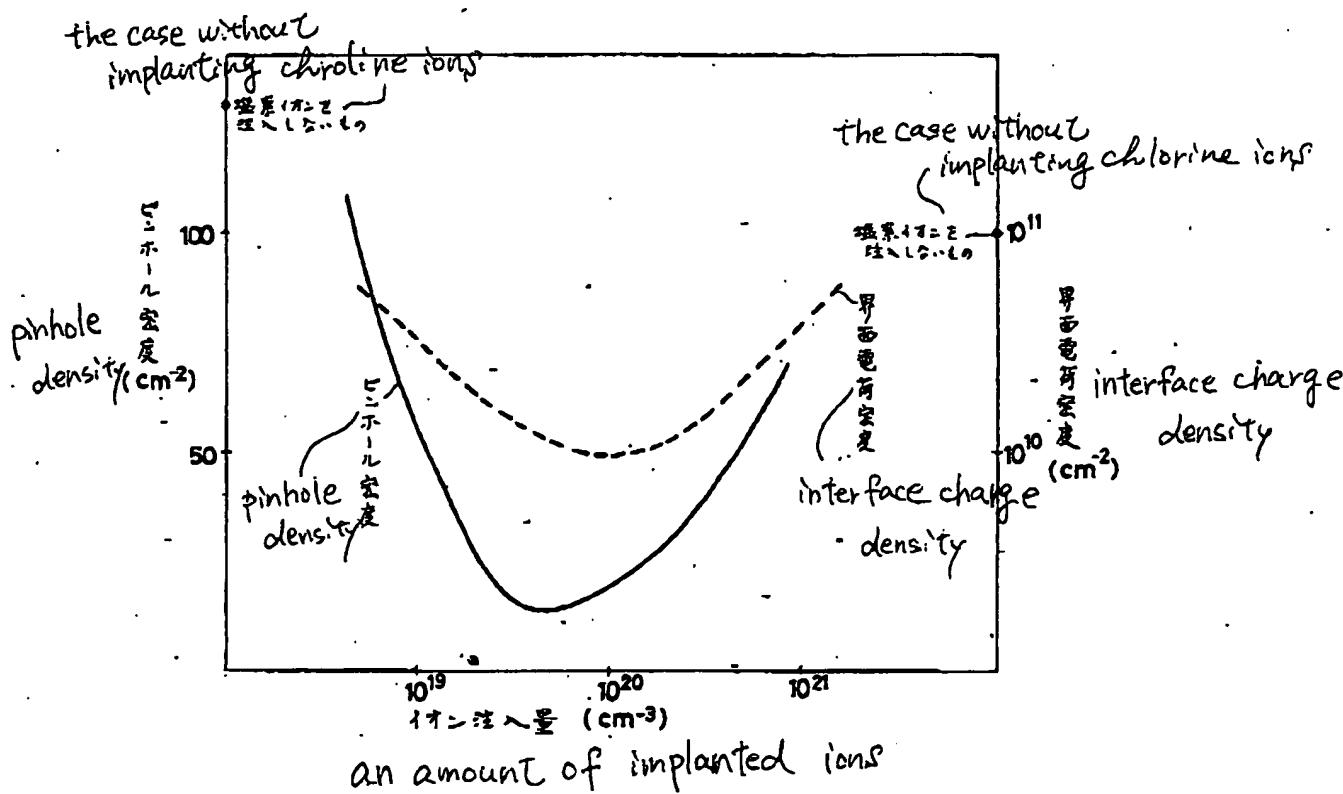
An attached power of attorney is incorporated by a Patent Application (1) of simultaneous presentation.

(2) Specification 1

(3) Drawing 1

(4) Duplicate of application 1

特開 昭49- 78483 (3)



5. 添付書類の目録

(1) 委任状
(2) 明細書
(3) 図面
(4) 観察副本

1. 同所提出の特許第(1)に
1. 本件の委任状を採用する。
1. 本件
1. 本件
1. 本件

6. 前記以外の発明者、特許出願人または代理人

代理人

住所 東京都港区芝西久保坂川町2番地 第17森ビル

氏名 (5743) 介理士 三木 武雄

住所 内所

氏名 (6894) 介理士 小宮 幸一

住所 同所

氏名 (6881) 介理士 坪井 淳

住所 名古屋市中区栄四丁目6番15号

氏名 (7113) 介理士 佐藤 強

日産生命館

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.